



ELEKTROTEHNIČKI FAKULTET BEOGRAD

Sistem za identifikaciju radnika

student: Draško Injac
512/02
Vladislav Tasić
120/00

profesor: dr Veljko Milutinović
asistent: Gvozden Marinković

broj osvojenih poena:

Beograd
01.07.2006

Sistem za identifikaciju radnika

Draško Injac

email: draskoi@gmail.com

Vladislav Tasić

email: vlada_tasic@yahoo.co.uk

1. DEFINISANJE PROJEKTA

1.1 Uvod

U ozbiljnim firmama postoji potreba evidentiranja koliko vremena određeni radnim provodi na poslu, kao i potreba za pojednostavljivanjem vođenja same evidencije.

Rešenje tog problema viđeno je u automatizaciji vođenja evidencije, gde je specijalizovani hardver zadužen za prepoznavanje radnika, otvaranje vrata i evidentiranje ulazaka i izlazaka.

1.2 Ciljevi projekta

Cilj projekta je konstrukcija je konstrukcija specijalizovanog hardvera za prepoznavanje radnika, koji putem veze sa nadzornim računarom istog obaveštava o ulascima i izlascima radnika čime se automatizuje proces identifikacije. Hardver takodje, nakon uspešnog prepoznavanja radnika otvara i ulazna/izlazna vrata.

Dok sistem nije zauzet prepoznavanjem radnika, na displeju ispisuje tačno vreme.

2. SPECIFIKACIJA

2.1 Uvod

Sistem za identifikaciju radnika radi na sledećem principu: u sklopu sistema postoji tastatura sa tasterima 0..9, OK i c. Svakom radniku dodeljen je jedinstven šestocifreni ID kod. Radnik pride i na tastaturi otkuca svoj ID kod a zatim pritisne OK. Sistem za identifikaciju je serijskom asinhronom vezom brzine 9600Bd povezan sa nadzornim računarom na kojem postoji baza podataka korisnika i njihovih ID kodova. Kada korisnik pritisne OK, sistem salje uneseni ID nadzornom računar koji proverava u bazi podataka da li je ID ispravan. Ako jeste, salje sistemu komandu da otvori vrata, inače salje informaciju da je šifra neispravna i sistem se vraća u prvobitni režim:

Dok se sistem ne bavi identifikacijom radnika, na displeju ispisuje tačno vreme.

2.2 Spoljašnji interfejsi

Uređaj razmenjuje podatke sa okruženjem preko serijskog porta.

Sistem ima 9-pinski konektor za povezivanje serijskim kablom sa nadzornim računarom. Veza je full-duplex, tj.

omogućeno je istovremeno slanje i prijem po razdvojenim linijama i realizovana je po RS232 standardu.

Komunikacija sa nadzornim računarom je dvosmerna. Sistem šalje nadzornom računar uneseni ID kod i čeka odgovor. Nadzorni računar proverava ispravnost koda u bazi podataka i u slučaju ispravnog koda salje komandu za otvaranje vrata inače salje informaciju o greški.

Sistem poseduje i 16 tastera. Tasteri 0..9 služe za unos ID koda, taster C briše poslednju unesenu cifru a taster OK potvrđuje šifru. Postoje i 4 tastera nevidljiva običnom korisniku – pritiskom na taster H,M ili S podešava se tačno vreme sistema. Pritiskom na taster P uključuje se setting režim.

Sistem ima konektor koji služi za davanje signala uređaju za otvaranje vrata.

2.3 Specifikacija hardvera

Sistem je sastavljen od sledećih hardverskih komponenti:

2.3.1 Mikroprocesor 8086 i leč kola

Projektovani sistem je baziran na mikroprocesoru Intel 8086. Da bi ceo sistem ispravno radio, potrebno je najpre da se 8086 ispravno poveže na adresnu i magistralu podataka. Kako su linije adresa i podataka kod ovog procesora multipleksirane, moraju se koristiti transparentni 8-bitni lečevi MC74HC373. Potrebno je ukupno tri ovakva leča. Na njihove ulaze se dovode multipleksirane linije adresa i podataka sa (AD0-AD15) mikroprocesora, kao i linije A16-A19 i signal BHE.. Signal ALE se dovodi na gej (ulaz C). Prve dve periode takta osnovnog mašinskog ciklusa (koji traje 4 takta) na ovim linijama se nalaze adrese koje se potom lečuju aktivnim signalom ALE (Address Latch Enable). Nakon toga adresa ostaje zalečovana, a na AD0-AD15 linijama se nalaze podaci.

Linije sa lečeva se vode dalje na adresne dekodere koji su realizovani kao PAL dekodere, i to jedan P14L4 za adresiranje memorijskog adresnog prostora (ROM i RAM), a drugi P20L8 za adresiranje perifernih čipova (I/O portova). Sadržaj ovih PAL-ova je dat u tabelama u prilogu.

Takode za komunikaciju sa hidrauličnom pumpom se koristi leč čija je adresa 0020h.

2.3.2 Memorija

U sistemu se nalazi ukupno 16KB RAM-a i 16KB ROM a. Korišćeni su čipovi 6264 (statički RAM) i 27C64

(EPROM). Pri tome RAM zauzima najnižih 16KB memorijskog adresnog prostora jer interapt vektor tabela u kojoj se nalaze adrese prekidnih rutina počinje od adrese 00000h. ROM zauzima najviših 16KB memorijskog adresnog prostora jer procesor nakon reseta čita instrukciju sa adrese FFFF0h koja se nalazi u ovom opsegu. I RAM i ROM su podeljeni na dve banke od po 8KB. Prva banka odgovara parnim, a druga neparnim adresama. Ovo se radi zato što mikroprocesor 8086 ima mogućnost da adresira ili samo jedan bajt ili celu reč (dva bajta). Stoga se moduli koji odgovaraju parnim adresama prozivaju kada je A0=0, a moduli na neparnim adresama kada je BHE=0 (Bank High Enable). BHE je 0 kad god se prenosi bajt podataka sa neparne adrese ili kada se prenosi cela reč (parna + neparne adresa).

Na kontrolni ulaz OE oba ROM modula se dovodi signal RD. Na kontrolni ulaz CS2 oba RAM modula se dovodi signal sa adresnog dekodera, na OE signal RD, a na WE signal WR.

Sve ovo ima za posledicu da će podatak iz ROM modula moći da izađe na magistralu podataka samo kada je adresirana odgovarajuća lokacija iz opsega ROM memorije i kada je aktivan RD signal. U zavisnosti od toga da li su A0 i BHE aktivni ili ne, izlaz na magistralu imaće samo jedan od dva modula (ili onaj sa parnim adresama ili onaj sa neparnim) ili oba.

Isto važi i za RAM module, s tim što se u njih može i upisivati i to samo kada je WR na logičkoj nuli.

Na adresne linije svih modula se vode signali A1 do A13, koji izlaze sa leć kola 74HC373.

Opseg adresa RAM-a je 00000h do 03FFFh. Opseg adresa ROM-a je FC000h do FFFFFh.

2.3.3 Generator stanja čekanja (wait state)

Kako obraćanje periferiji zahteva jedan dodatni ciklus takta, a čitanje EPROM-a dva, u sistemu se koristi logika za generisanje stanja čekanja (wait state generator). Logika se sastoji od tri D flip-flopa, logičkog I kola za generisanje RDY1 signala i logičkih kola za generisanje kratkotrajnog niskog signala.

Nakon restartovanja računara, signali RD, WR i INTA su na visokom nivou. Kada neki od njih padne na nulu, ako je na nuli i neki od signala CSROM ili M/IO, resetuje se odgovarajući D flip-flop i RDY signal pada na nizak nivo. U zavisnosti koji flip-flop je resetovan, da bi RDY ponovo bio visok, potrebno je da prodje 1 ili 2 takta.

2.3.4 Čip 8251 za serijsku komunikaciju

Sistem sa nadzornim računarom komunicira preko serijskog porta po RS232 standardu. Da bi se prilagodili naponski nivoi upotrebljena su kola MC1488 (za slanje) i MC1489 (za prijem). Umesto ovih kola može se iskoristiti i MAX232 kolo za prilagođenje signala između CMOS i TTL kola.

Za celokupni serijski prenos (i slanje i prijem) zadužen je periferijski čip 8251. Na njegove linije TxD (Transmit

Data) i RxD (Receive Data) su povezane odgovarajuće linije sa serijskog interfejsa (prethodno se transliraju nivoi). Svaki put kada primi/pošalje jedan podatak veličine bajta ovo kolo postavlja signal RxRDY/TxRDY na jedinicu i na taj način generiše zahtev za prekidom jer se ovi signali vode na ulaz kontrolera prekida.

Procesor zatim u prekidnoj rutini obrađuje primljeni podatak ili šalje sledeći ako ima potrebe za tim. U prekidnoj rutini je dovoljno da procesor upiše u interni registar ovog čipa naredni bajt koji treba da se pošalje i podatak će biti poslat. Za slučaj prijema, procesor samo očita podatak iz internog registra i onda odlučuje šta će da radi sa njim.

Čip 8251 zahteva da mu se pored takta (PCLK tj. polovine sistemskog takta) dovodi i takt za slanje i prijem na ulaze RxCLK i TxCLK. Upravo ovaj takt određuje brzinu prenosa, a ona treba da bude 9600 bauda i generiše se pomoću tajmera 8254.

Bazna adresa čipa 8251A je 0010h. Na toj adresi se nalazi registar podataka. Na adresi 0012h je kontrolni i statusni registar.

2.3.5 Tajmer/brojač 8254

Integrirano kolo 8254 u sebi sadrži tri tajmera/brojača. Svaki od ta tri tajmera ima signal CLK na kojem se registruje svaka uzlazna ivica i ažurira stanje brojača. Pored signala CLK postoji i signal GATE kojim može da se zabrani brojanje iako se registruje uzlazna ivica na CLK. Na liniji OUT tajmer/brojač postavlja odgovarajuće signale zavisno od stanja u kojem se nalazi i zadatog moda rada.

Tajmer 1 radi u modu 3 (delitelj učestanosti), i njegov izlaz se vodi na IR0 ulaz 8259A čipa, što omogućava generisanje prekida svakih 1ms, koji se koristi za merenje vremena unutar programa.

Tajmer 0 je iskorišćen da generiše prijemni i predajni takt za kolo 8251. Programiran je da radi u modu 3 (delitelj učestanosti). Kada radi u ovom modu tajmer deli učestanost signala na svom CLK ulazu brojem koji je upisan u njegov registar. Na CLK ulaz tajmera 2 se dovodi signal PCLK koji je jedna polovina takta na kojem radi procesor. Kako se serijski prenos obavlja pri brzini od 9600 bauda i faktoru internog deljenja 16, potrebno je da tajmer 2 deli učestanost takta PCLK sa 16.

Tajmer 2 nije iskorišćen.

Bazna adresa čipa 8254 je 0040h. To je ujedno i adresa tajmera 0. Adrese tajmera 1 i 2 su 0042h i 0044h, respektivno. Adresa komandne reči je 0046h.

2.3.6 Čip 8259A za kontrolu prekida

Interapt kontroler 8259 ima mogućnost da kontroliše 8 linija po kojima druge periferije mogu da zahtevaju prekide. Kontroler prekida je programiran da reaguje na uzlaznu ivicu signala na ulazima IR0 - IR7.

Prekidi su organizovani po prioritetima. Najveći prioritet ima prekid koji stiže po liniji IR0, a najniži prekid po liniji IR7. Kad god po odgovarajućoj liniji stigne zahtev za prekidom, on se upiše u IRR (Interrupt Request Register).

Na ulaz IR0 je povezan izlaz tajmera 1 (za merenje vremena). Na ulaz IR1 se vodi zahtev za prekid sa čipa 8251. Dok je na ulaz IR2 vezan signal Data Available sa key encodera, koji označava da je pritisnut taster na tastaturi.

Bazna adresa čipa 8259A je 0030h. To je i adresa prve inicijalizacione komandne reči. Adresa ostalih ICWs je 0032h. Adresa operacionih komandnih reči su 0030h za OCW2 i 0032h za OCW1.

2.3.7 Čip 8255A za paralelnu komunikaciju

Čip za paralelnu komunikaciju 8255A služi za povezivanje LED displeja, očitavanje tastature i otvaranje vrata. Port A, port B i gornji nibl porta C su izlazni a gornji nibl porta C je ulazni.

Port A se koristi za selekciju displeja koji je uključen, dok se na portu B šalje cifra koja treba da se ispiše na displeju selektovanom izlazima porta A.

Donji deo porta C koristi se za očitavanje tastature.

Pin 7 porta C koristi se za otvaranje vrata.

Bazna adresa čipa 8255A je 0050h. To je ujedno i adresa porta A. Adrese portova B i C su 0052h i 0054h, respektivno. Adresa kontrolne reči je 0056h.

2.3.8 Displej sa svetlećim diodama (LED)

Za ispis tačnog vremena (odnosno zvezdica dok traje unos koda) koristi se šest sedmosegmentnih displeja sa zajedničkom anodom. Primenjeno je softversko multipleksiranje. PortA čipa 8255A selektuje displej, dok segmente selektovanog displeja uključuje BCD 7447 dekodier spojen na donji deo portaB.

2.3.9 Tastatura

Za unos šifre i hardversko setovanje trenutnog vremena koristi se 16 tastera. Tastere dekoduje MM74C922 key encoder firme Fairchild Semiconductor. Dekodovani tasteri šalju se na donji nibl porta C.

2.3.10 Konektor za otvaranje vrata

Kada je potrebno otvoriti vrata, sistem generiše uzlaznu ivicu signala na ovom konektoru.

2.4 Specifikacija softvera

Algoritam je najlakše ilustrovati C-olikim pseudo-kodom:

```
clock--;
if (clock==0) {
    clock=1000;
    azuriraj_vreme();
}
disp--;
if (disp==0) {
    disp=2;
    osvezi_sledecu_cifru();
}
if ( key_mode ) {
    ktimeout--;
    if ( ktimeout == 0 ) {
        ktimeout = 15s;
        vrati_sistem_u_prvobitno_stanje();
    }
}
if ( error_mode ) {
    etimeout--;
    if ( etimeout == 0 ) {
        etimeout = 30s;
        mode = clock_mode;
    }
}
```

2.4.1 T1 prekidna rutina (1ms)

```
if ( !error_mode ) {
    ktimeout = 15s
    key = get_and_decode_key();
    mode = key_mode;
    switch (key) {
        case 'c':
            if (numkey>0) numkey--;
            break;
        case 'ok':
            if ( numkey = 6 ) {
                if ( ID = adminID ) {
                    open_door();
                    mode = clock_mode;
                } else {
                    char2snd = 5;
                    send(ID[1]);
                }
            }
        }
    }
```

```

break;

case 0..9:

    if ( numkey < 6 ) {

        numkey++;

        ID[numkey] = key;

    }

    break;

case 's', 'm', 'h':

    set_time();

    break;

case 'p':

    input_adminID();

    break;

}

}

```

2.4.2 prekidna rutina za obradu pritiska tastera

```

turn_display_off();

dis = get_next_disp2refresh();

switch (mode) {

    case 'error_mode' :

        data2refresh = 'e';

        turnON_disp(dis);

        break;

    case 'key_mode' :

        if (dis < numkey) {

            data2refresh = '*';

        } else data2refresh = ' ';

        turnON_disp(dis);

        break;

    case 'clock_mode':

        data2refresh = vreme[dis];

        turnON_disp(dis);

        break;

}

if ( dis = 5 ) dis = 0;

```

2.4.4 display refresh

```

if ( data_received ) {

    data = received_data();

    switch (data) {

        case 'ok' :

            open_gate();

            send(mACK);

            errornum = 0;

            mode = clock_mode;

            break;

        case 'error' :

            errornum++;

            send ( mACK );

            if (errornum>3) {

                mode = error_mode

            } else mode = clock_mode;

            break;

        default:

            send(mRESEND);

            break;

    } else {

        if ( char2snd > 0 ) {

            char2snd--;

            send( ID[5-char2snd]);

            if ( char2snd == 0 ) numkey =0;

        }

    }

}

```

2.4.3 prekidna rutina za serijsku vezu

Softverski su resene i sledeće pogodnosti:

- 1) Ako se 3 puta za redom unese pogrešan ID, dok god se ne unese ispravan, sistem nakon svake sledećeg pogrešnog ID koda na displeju ispisuje "eeeeee" i zadržava poruku 30s. To je napravljeno da bi sprečilo eventualno pokušavanje otkrivanja tačnog ID koda neprekidnim isprobavanjem.
- 2) Tasteri S,M i H služe za hardversko setovanje trenutnog vremena.
- 3) Realizovan je i administratorski ID – kada sistem prepozna daje unešeni ID jednak administratorskom, ne šalje uneseni ID na proveru nadzornom računaru već odmah otvara vrata. Ovo je realizovano za otvaranje vrata u slučaju prekida komunikacije ili kvara nadzornog računara. Administratorski id se unosi pritiskom na taster P a zatim unosom 6-cifrenog ID i pritiska na OK.
- 4) Komunikacija sa nadzornim računarom je osigurana tako da ako sistem ne prepozna komandu (OK ili ERROR) šalje nadzornom računar komandu RESEND i čeka novu komandu (to se ponavlja sve dok sistem ne prepozna jednu od dve navedene komande). Kada sistem prepozna komandu, šalje ACK poruku nadzornom računar.
- 5) Realizovana je i timeout logika koja u slučaju da neko pritisne taster(e) a ne i ok, nakon 15s briše zvezdice sa ekrana i vraća se u prvobitni mod (ispis vremena). Takođe, ako sistem treba da vrši komunikaciju sa nadzornim računarom, a ona se ne isvrši za 15s, timeout logika izvlači sistem iz petlje i vraća ga u prvobitni mod.

5. IMPLEMENTACIJA

Program je napisan u simboličkom mašinskom jeziku mikroprocesora 8086. Sve šeme za projekat su nacrtane u programu Protel99SE. Odabrani hardver za projekat je opisan u poglavlju 2.3.

5.1 Skriptovi, datoteke i druge informacije

Projekat sačinjavaju šeme crtane u Protelu i kod u assembleru.

Protel fajlovi:

- top.ddb baza podataka o korišćenim fajlovima
- top.Sch — šema sa konektorima i osnovnim hijerarhijskim modulima
- mC.Sch — šema sa procesorom, leč kolima, memorijom, podšemom *wait_state* i adresnim dekoderima
- wait_state.Sch — šema na kojoj se nalazi generatora stanja čekanja
- io.Sch — šema sa brojačem 8254, kontrolerom prekida 8259A, leč kolom za izlaz i Schmitt-ovim kolima za ulaz
- serial.sch — šema sa 8251A čipom za serijsku komunikaciju i DB9 konektorom
- display.Sch — šema sa šest sedmosegmentnih displeja za ispis tačnog vremena
- tastatura.Sch — šema na kojoj se nalazi tastatura od 16 tastera koju dekoduje MM74C922 key encoder.

Asemblerški kod je napisan u fajlu 8086_glavni.asm.

6. LITERATURA

Spisak literature korišćen u izradi domaćeg zadatka:

- [1] Douglas V. Hall, *Microprocessors and Interfacing*, Glencoe, Lake Forest, USA, 1998.
- [2] www.intel.com, USA, 2004

7. PRILOZI

U prilogu su dati:

- sadržaji PAL dekodera
- listinzi programa u assembleru
- Protel šeme